

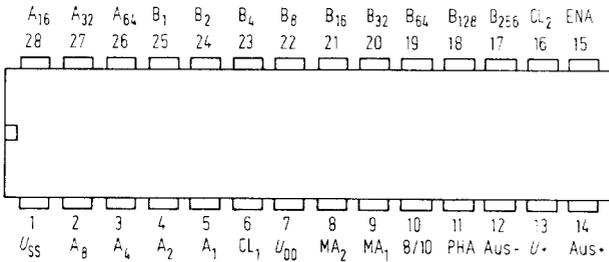
Typ	Bestellnummer	Gehäusebauform
S 187 B	Q67100-Y199	DIP 28

Der S 187 B ist ein hochintegrierter MOS-Baustein in p-Kanal-Metal-Gate-Technik mit Enhancement- und Depletion-Transistoren mit folgenden besonderen technischen Merkmalen:

- Mehr als 500 000 verschiedene Frequenzen einstellbar
- 8 verschiedene Referenzfrequenzen einstellbar
- Hohe Flexibilität durch entsprechende Codierung
- Hohe Referenz-Eingangsfrequenz
- Integrierter Phasen-Komparator
- Einfache 10 V-Versorgung
- Niedrige Verlustleistung auch bei hohen Frequenzen
- Zur Frequenzeinstellung speziell geeignete programmierbare Diodenmatrix S 353
- Speziell geeigneter Vorteiler S 89 zur Erweiterung bis 500 MHz

Anwendungsmöglichkeiten

- Vielkanalgeräte
- Navigationsgeräte
- Citizen Band Radio
- Scan Dh5saz
- Scanning Receiver
- Signal-Generatoren



Anschlußanordnung
Ansicht von oben

Anschlußbezeichnungen

Eingänge		Ausgänge							
Kurzbez.	Anschluß		Kurzbez.	Anschluß					
A ₁	5	Binär-codierte Eingänge für einstellbaren Synchron-Teiler (A) 7-Bit	ENA	15	Freigabe-Ausgang Phasenvergleicherausgang				
A ₂	4		PHA	11					
A ₄	3		Binär-codierte Eingänge für einstellbaren Synchron-Teiler (B) 9-Bit	AUS +	14	Drain Anschluß eines externen Enhancement n-Kanal-MOS Transistors zur Bildung einer Tristate-Stufe			
A ₈	2								
A ₁₆	28								
A ₃₂	27								
A ₆₄	26								
B ₁	25								
B ₂	24								
B ₄	23								
B ₈	22								
B ₁₆	21								
B ₃₂	20								
B ₆₄	19								
B ₁₂₈	18								
B ₂₅₆	17	Takt-Eingang 1 für Asynchronteiler (max. 6,4 MHz) Takt-Eingang 2 für Synchron-teiler (max. 2,5 MHz) Teilereinstellung 8 oder 10 für Asynchronteiler Multiplex-Anwahl 1 und 2					AUS -	12	Gateanschluß für externen n-Kanal MOS-FET
CL ₁	6								
CL ₂	16								
8/10	10								
MA ₁	9		U +	13	Source-Anschluß des internen p-Kanal-MOS-FET. Anschluß einer zusätzlich gesieberten Spannung zur Störungsverminderung am Tiefpaß.				
MA ₂	8								
U _{SS}	1								
U _{DD}	7					Versorgung			

Grenzdaten		Bedingung	untere Grenze B	obere Grenze A	
Speisespannung	U_{DD} U T_s T_U	} bezogen auf $U_{SS} = 0\text{ V}$	- 15	+ 0,3	V
Spannung an allen Anschlüssen			- 15	+ 0,3	V
Lagertemperatur			- 55	125	°C
Umgebungstemperatur im Betrieb			- 20	70	°C

Statische Kenndaten $U_{SS} = 10\text{ V}$, $T_U = -20$ bis 70°C

		Prüfbedingungen	untere Grenze B	typ.	obere Grenze A	
Speisespannung	U_{SS}	$U_{DD} = 0\text{ V}$ als Masse und Referenzspannung verwendet	9	10	11	V
$U_{SS\text{ typ}} = 10\text{ V}$						
Stromaufnahme Eingänge	I_{SS}			8	35	mA
A_1 bis A_{64} , B_1 bis B_{256} , 8/10 L-Widerstand	R_{IL}	$C_e = 10\text{ pF}$ gegen U_{SS}	0		3	k Ω
H-Widerstand	R_{IH}		100		∞	k Ω
Eingangsstrom	I_{IL}	(Kurzschluß gegen U_{DD} bei $U_{SS} = 10\text{ V}$)			500	μA
Eingang CL ₁						
L-Eingangsspannung	U_{IL}		U_{DD}		$U_{SS} - 8$	V
H-Eingangsspannung	U_{IH}		$U_{SS} - 0,5$		U_{SS}	V
Eingang CL ₂						
L-Eingangsspannung	U_{IL}		U_{DD}		$U_{SS} - 8$	V
H-Eingangsspannung	U_{IH}		$U_{SS} - 0,5$		U_{SS}	V
Eingänge MA ₁ , MA ₂						
L-Eingangsspannung	U_{IL}	$C_e = 10\text{ pF}$ gegen U_{SS}	U_{DD}		$U_{SS} - 8$	V
H-Eingangsspannung	U_{IH}		$U_{SS} - 0,5$		U_{SS}	V
Ausgänge AUS +, AUS-						
L-Ausgangsspannung	U_{QL}	$I_{QL} = 1\text{ mA}$, $U_{SS} = 10\text{ V}$	9			V
H-Ausgangsspannung	U_{QH}	$I_{QH} = -1\text{ mA}$, $U_{SS} = 10\text{ V}$			4	V
L/H-Ausgangsstrom	I_Q	$T_U = 70^\circ\text{C}$			1	μA
Ausgang PHA						
L-Ausgangsspannung	U_{QL}	$I_{QL} = 100\text{ }\mu\text{A}$, $U_{SS} = 10\text{ V}$			6,5	V
H-Ausgangsspannung	U_{QH}	$I_{QH} = -1\text{ mA}$, $U_{SS} = 10\text{ V}$	6,5			V
Ausgang ENA (open-drain)						
Leckstrom	I_{QR}	Ausgang Low			20	μA
H-Ausgangsspannung	U_{QH}	$I_{QH} = 3,5\text{ mA}$, $U_{SS} = 10\text{ V}$	5			V

Dynamische Kenndaten $U_{SS} = 10 \text{ V}$, $T_U = -20 \text{ bis } 70^\circ\text{C}$

	Prüfbedingungen	untere Grenze B	obere Grenze A	
Eingangsfrequenz	f			
an CL_1			6,5	MHz
an CL_2			2,5	MHz
Eingangsimpulse	t_i			
an CL_1		$C_e = 15 \text{ pF}$ gegen U_{SS}	50	
an CL_2	150			ns
Signalübergangszeit	t_T			
an CL_1			25	
an CL_2		150		ns
Verzögerung ENA gegen fallende Flanke von CL_2			300	ns

Grundfunktion

Der Frequenzaufbereitungsbaustein S 187 B dient im Trägerfrequenzgenerator zur Kanalwahl. Die Trägerfrequenz wird durch einen spannungsgesteuerten Oszillator (VCO) erzeugt und nach (je nach Kanal) **einstellbarer Teilung** mit einer quarzstabilen Referenzfrequenz verglichen. Die Ausgangsspannung des Frequenzvergleichers steuert den VCO.

Durch Wahl der Teilung kann die Trägerfrequenz auf ein bestimmtes Vielfaches der Referenzfrequenz eingestellt werden.

Aufbau und Funktion

Siehe Blockschaltbild eines Trägerfrequenzgenerators mit Angabe des im S 187 B integrierten Teils.

Folgende Funktionen sind enthalten:

1. 8stufiger Asynchronteiler, Eingangsfrequenz max. 6,4 MHz, Ausgangsfrequenz wählbar 200, 100, 50, 25 kHz,
 2. umstellbarer 8/10-Teiler,
1) und 2) liefern zusammen die quarzstabile Referenzfrequenz (8 Möglichkeiten).
 3. Vollprogrammierbarer Synchronteiler aus zwei zusammenhängenden Teilen A und B, Eingangsfrequenz $\leq 2,5$ MHz;
- 3.1 7stufiger Teiler A, einstellbar zwischen 0 bis 127-Teilung. Dieser Teiler wird nach Ablauf angehalten und durch Teiler B rückgesetzt und angestoßen. Er liefert dadurch das Umschaltsignal für einen Vorteiler, mit dessen Hilfe eine noniusartige Teilung entsteht, wodurch die Vergleichsfrequenz höher eingestellt werden kann. Das Umschaltsignal (Ausgang ENA) muß deshalb synchron zum Eingangstakt sein (Verzögerung < 300 nsec). Das Umschaltsignal ENA hat deshalb die gleiche Frequenz wie der Ausgang des Teilers B, während das Tastverhältnis durch die Teilung bei A (ENA = L) und die Differenz zwischen Teilung bei B und Teilung bei A (ENA = H) bestimmt wird. Ist Teilung bei A = 0, liegt ENA immer auf H-Zustand.
- 3.2 9stufiger Teiler B, einstellbar zwischen 2 bis 513-Teilung. Dieser Teiler setzt sich selbst und Teiler A nach Ablauf zurück. Er liefert die geteilte Trägerfrequenz für den Phasenvergleich.

4. Der Phasenvergleich (siehe Abbildung) nimmt den Frequenzvergleich vor. Er besitzt drei mögliche Ausgangskombinationen (siehe Wahrheitstabelle 1) zwischen denen er, durch $0 \rightarrow 1$ -Flanken an den Eingängen gesteuert, umschaltet (siehe Wahrheitstabelle 2).

Sind die Eingangsfrequenzen unterschiedlich, schaltet das führende Signal den Ausgang auf seiner Seite (AT Aus +, ST Aus -) nach „1“, wo er so lange bleibt, bis ihn das andere Signal nach „0“ zurückschaltet.

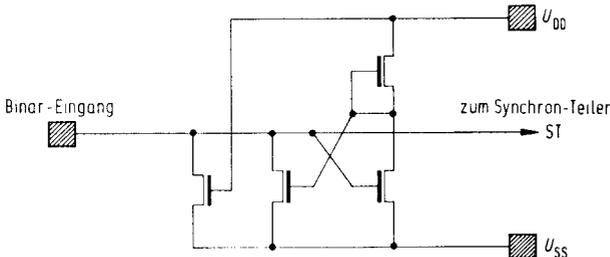
Sind beide Frequenzen gleich, aber in verschiedener Phase, wird auf der führenden Seite in jedem Takt ein Ausgangsimpuls der Breite des Phasenunterschieds erzeugt. Liegen die beiden $0 \rightarrow 1$ -Flanken an beiden Eingängen innerhalb der Totzeit, so bleibt der Phasenvergleich im „0“-Zustand.

Der Phasenvergleich steuert ein Komplementär-Tristate-Gatter, wobei der interne p-Kanal-Transistor vom + -Ausgang und der externen n-Kanal-Transistor vom invertierten - -Ausgang angesteuert werden. Der Integrationskondensator wird also im „H“-Zustand aufgeladen, im „L“-Zustand entladen, während er im „0“-Zustand hochohmig abgeschlossen ist. Die Kondensatorspannung und damit die Frequenz des VCO ändert sich also so lange, bis die $0 \rightarrow 1$ -Flanken an beiden Eingängen innerhalb einer Totzeit des Phasenvergleichers liegen.

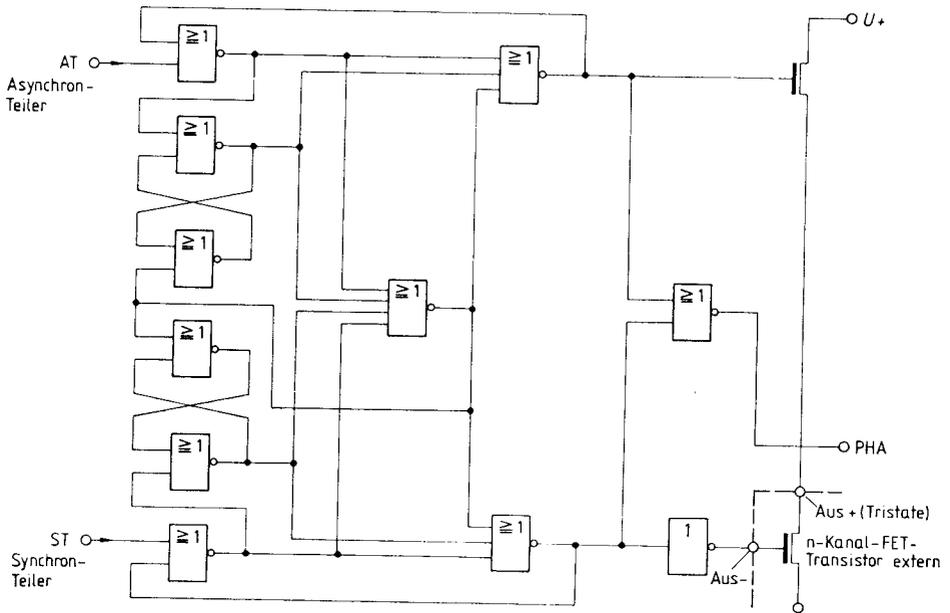
5. Aktiv-p-Funktion der Programmiergänge. Die Zuordnung von einzelnen Frequenzen zu bestimmten Sprechkanälen kann extern durch eine 10×16 Diodenmatrix geschehen, welche die ausgewählten Programmiergänge niederohmig mit dem negativen Potential verbindet (L) und die nicht ausgewählten nur mit Leckströmen belastet (H).

Im Worst Case ist dazu äquivalent: $5 \text{ k}\Omega$ gegen U_{DD} (L) bzw. $100 \text{ k}\Omega$ gegen U_{DD} (H). Die Programmiergänge sind deshalb mit einer Aktiv-p-Schaltung (siehe Abbildung) versehen, die im H-Zustand eine Eingangsspannung $> U_{SS} - 1 \text{ V}$ und im L-Zustand eine Eingangsspannung $< U_{DD} + 1 \text{ V}$ erzeugt. Auf diese Weise werden die verschiedensten Ansteuerungen ermöglicht.

Aktiv - p - Beschaltung der Programmiergänge



Phasenvergleichler



Wahrheitstabelle 1 Phasenvergleichler

Zustand des Phasenvergleichlers	Ausgang +	Ausgang -	Bemerkung
H	1	0	interner p-Kanal-MOS-FET leitend externer n-Kanal-MOS-FET leitend beide Transistoren sperren.
L	0	1	
0	0	0	

Wahrheitstabelle 2 Phasenvergleichler

Ausgangs-Zustand des Phasenvergleichlers	Neuer Zustand nach 1 → 1-Flanke bei Eingang	
	AT	ST
H	H	0
0	H	L
L	0	L

Wahrheitstabelle 3 Referenzfrequenzteiler

Eingänge			Teilungs- faktor
MA ₁	MA ₂	8/10	
L	L	L	2048
H	L	L	1024
L	H	L	512
H	H	L	256
L	L	H	2560
H	L	H	1280
L	H	H	640
H	H	H	320

Wahrheitstabelle 4 VCO-Frequenzteiler

Teiler A

Eingänge

A ₁	A ₂	A ₄	A ₈	A ₁₆	A ₃₂	A ₆₄	Teilungs- faktor ¹⁾
L	L	L	L	L	L	L	
H	L	L	L	L	L	L	1
L	H	L	L	L	L	L	2
.
.
.
H	H	H	H	H	H	L	126
H	H	H	H	H	H	H	127

1) Der Ausgang ENA bleibt für die programmierte Zahl von CL₂-Eingangsimpulsen im L-Zustand und geht dann auf H.

Teiler B

Eingänge

B ₁	B ₂	B ₄	B ₈	B ₁₆	B ₃₂	B ₆₄	B ₁₂₈	B ₂₆₅	Teilungs- faktor
L	L	L	L	L	L	L	L	L	
H	L	L	L	L	L	L	L	L	513
L	H	L	L	L	L	L	L	L	2
H	H	L	L	L	L	L	L	L	3
.
.
.
H	H	H	H	H	H	H	H	L	510
H	H	H	H	H	H	H	H	H	511

*) Ist der Inhalt der Zähler B gleich Null, wird mit dem nächsten CL₂-Eingangsimpuls die an den A- und B-Eingängen vorgewählte Binärinformation in die Zähler A und B übernommen, die von dort an rückwärts zählen. Erreicht Teiler A den Wert Null, bleibt er stehen, bis er wieder neu geladen wird. ENA = L, solange Teiler A läuft.